



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0082418  
Application Number

출원 년 월 일 : 2003년 11월 20일  
Date of Application NOV 20, 2003

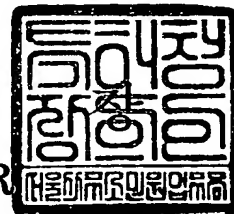
출원인 : 한국전자통신연구원  
Applicant(s) Electronics and Telecommunications Research Insti



2004 년 01 월 19 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.11.20
【발명의 명칭】	나노갭 전극소자의 제작 방법
【발명의 영문명칭】	Method for manufacturing nano-gap electrode device
【출원인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	2001-032061-5
【발명자】	
【성명의 국문표기】	박찬우
【성명의 영문표기】	PARK, Chan Woo
【주민등록번호】	721031-1042326
【우편번호】	305-755
【주소】	대전광역시 유성구 어은동 99 한빛아파트 103-1305
【국적】	KR
【발명자】	
【성명의 국문표기】	최성율
【성명의 영문표기】	CHOI, Sung Yool
【주민등록번호】	701209-1118014
【우편번호】	305-721
【주소】	대전광역시 유성구 신성동 하나아파트 103-1407
【국적】	KR
【발명자】	
【성명의 국문표기】	류상욱
【성명의 영문표기】	RYU, Sang Ouk
【주민등록번호】	680130-1690826

【우편번호】	305-761
【주소】	대전광역시 유성구 전민동 엑스포아파트 303-1401
【국적】	KR
【발명자】	
【성명의 국문표기】	유한영
【성명의 영문표기】	YU,Han Young
【주민등록번호】	690716-1923311
【우편번호】	305-751
【주소】	대전광역시 유성구 송강동 송강그린아파트 319-1405
【국적】	KR
【발명자】	
【성명의 국문표기】	피웅환
【성명의 영문표기】	PI,Ung Hwan
【주민등록번호】	720824-1231515
【우편번호】	305-345
【주소】	대전광역시 유성구 신성동 146-4 대성빌라 202호
【국적】	KR
【발명자】	
【성명의 국문표기】	정태형
【성명의 영문표기】	ZYUNG,Tae Hyoung
【주민등록번호】	540924-1066821
【우편번호】	305-707
【주소】	대전광역시 유성구 신성동 한울아파트 109-1504
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	4 면 4,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	15 항 589,000 원

【합계】	622,000 원
【감면사유】	정부출연연구기관
【감면후 수수료】	311,000 원
【기술이전】	
【기술양도】	희망
【실시권 허여】	희망
【기술지도】	희망
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 나노갭 전극소자의 제작 방법에 관한 것으로, 기판 위에 제 1 전극을 형성하는 단계와, 상기 제 1 전극의 일측벽에 스페이서를 형성하는 단계와, 상기 스페이서 일측부의 노출된 기판 상에 제 2 전극을 형성하는 단계와, 상기 스페이서를 제거하여 상기 제 1 전극과 제 2 전극 사이에 나노갭이 형성되도록 하는 단계를 포함한다. 본 발명을 이용하면 나노갭의 위치와 폭, 형상 등을 재현성 있게 제어할 수 있을 뿐만 아니라 한번의 공정으로 다수의 나노갭 전극소자를 동시에 형성할 수 있으며, 높은 신뢰성을 가지는 분자전자회로를 용이하게 구현할 수 있다.

**【대표도】**

도 5

**【색인어】**

전극소자, 나노갭, 스페이서, 분자소자, 분자전자회로

## 【명세서】

## 【발명의 명칭】

나노갭 전극소자의 제작 방법 {Method for manufacturing nano-gap electrode device}

## 【도면의 간단한 설명】

도 1a 내지 도 1e는 금속선에 기계적 응력을 가하여 단절시키는 종래의 나노갭 전극소자 제작 방법을 설명하기 위한 모식도.

도 2a 내지 도 2c는 전자이주현상을 이용하여 금속선을 단절시키는 종래의 나노갭 전극소자 제작 방법을 설명하기 위한 모식도.

도 3a 및 도 3b는 전기화학증착법을 이용한 종래의 나노갭 전극소자 제작 방법을 설명하기 위한 단면도.

도 4a 내지 도 4e는 본 발명의 일 실시예에 따른 나노갭 전극소자의 제작 방법을 설명하기 위한 단면도.

도 5는 본 발명에 따른 나노갭 전극소자의 전체 구조도.

도 6a 내지 도 6e는 본 발명의 다른 실시예에 따른 나노갭 전극소자의 제작 방법을 설명하기 위한 단면도.

## &lt;도면의 주요 부분에 대한 부호의 설명&gt;

11, 32, 41, 51: 기판 12, 21: 금속선

12a, 12b: 금속전극 13: 용액

14, 15: 구조물 16, 33: 갭

17: 단분자층 22: 단자

23: 전류      24, 36, 46, 55: 나노갭

31: 절연막      34: 금속전극 패턴

35: 전극 물질층      42, 52: 첫번째 전극

43, 53: 분리박막      43a: 스페이서

45, 54: 두번째 전극

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<17>      본 발명은 수 나노미터(nm) 이하의 폭을 갖는 나노갭(nano-gap)을 사이에 두고 두개의 전극이 접해 있는 나노갭 전극소자에 관한 것으로, 더욱 상세하게는 나노갭의 위치와 폭을 용이하게 조절할 수 있고 다수의 나노갭을 동시에 형성할 수 있는 나노갭 전극소자의 제작 방법에 관한 것이다.

<18>      정보통신 기술이 발달하면서 전송 가능한 정보의량이 기하급수적으로 증가하고 있으며, 이를 처리하기 위한 반도체 소자의 집적도 또한 지속적으로 향상되고 있다. 종래에는 포토리소그래피(photo-lithography) 공정의 분해능 향상을 통해 크기와 선폭을 줄여나가는 탑-다운(top-down) 방식으로 반도체 소자의 집적도를 향상시켰으나, 이러한 탑-다운 방식의 기술은 공정상의 어려움과 비용의 증가로 인해 더 이상 적용이 어려운 실정이다. 그래서 이러한 한계를 극복하고 경제성을 높일 수 있는 나노 분자소자를 개발하였으며, 최근에는 바텀-업(bottom-up) 방식의 기술로 제작된 분자소자가 제시되었다.

- <19> 분자소자는 기존의 실리콘 기반 반도체 소자와는 달리 수 나노미터 이하의 길이를 갖는 분자를 통해 이루어지는 전자수송현상을 이용하는 소자로서, 저비용으로 고집적의 고속회로 구현이 가능하기 때문에 차세대 기술로 대두되고 있다. 이러한 분자소자는 전기적 특성 평가를 위해 분자의 양단에 연결되는 외부전극을 필요로 하는데, 이를 위해 수 나노미터 이하의 분자 길이에 해당하는 나노갭을 사이에 두고 두 전극이 배치되는 전극소자의 구현이 필수적이다.
- <20> 종래에는 기계적 응력(mechanical stress)이나 전자이주현상(electromigration)을 이용하여 이미 형성된 금속선의 특정 부위를 단절시키는 방법, 또는 전자빔 리소그래피(e-beam lithography) 기술을 이용하여 수백 나노미터의 폭을 가지는 갭을 일차로 형성한 후 전기화학 증착법(electrochemical deposition)으로 갭을 형성하는 두 전극의 표면에 전극물질을 추가로 증착하여 갭의 폭을 줄이는 방법 등으로 나노갭 전극소자를 제작하였다. 그러나 이러한 방법들은 공정이 복잡할 뿐 아니라 갭의 폭과 위치를 정확하게 제어하기 어렵고 재현성과 신뢰성이 떨어진다. 또한, 동일한 형상과 폭을 가지는 다수의 나노갭을 동시에 형성하는 것이 불가능하여 분자전자회로 제작에 실제로 응용하기 어렵다.
- <21> 도 1a 내지 도 1e는 금속선에 기계적 응력을 가하여 단절시키는 종래의 나노갭 전극소자 제작 방법을 설명하기 위한 모식도로서, 도 1b 내지 도 1e는 도 1a에 도시된 A 부분을 확대 도시한다.
- <22> 도 1a를 참조하면, 실리콘 등으로 이루어지며 절연막이 덮여있는 기판(11)의 표면에 금(Au) 등으로 금속선(12)을 형성한 후 상기 금속선(12)의 중심 부위를 특정 분자물질이 함유된 용액(13)에 담근다. 상기 금속선(12) 중심 부위의 상기 기판(11) 하부에는 구조물(14)을 접촉시키고, 상기 금속선(12) 양측의 기판(11) 상부에는 기계적 구조물(15)을 접촉시킨다.



- <23> 도 1b 및 1c를 참조하면, 상기 기계적 구조물(15)이 고정된 상태에서 상기 구조물(14)을 상승시켜 기판(11)의 상부 방향으로 기계적 응력을 가하면 응력이 가해짐에 따라 금속선(12) 중심 부위의 기판(11)이 위쪽으로 휘어진다.
- <24> 도 1d를 참조하면, 응력이 증가함에 따라 기판(11)의 휨 정도가 커지면 결국 금속선(12)의 특정 부위가 단절되면서 갭(16)이 형성된다. 형성된 갭(16)을 사이에 두고 마주보게 되는 두 금속전극(12a 및 12b)의 표면에는 자기조립형 단분자층(17)이 형성된다.
- <25> 도 1e를 참조하면, 상승시켰던 하부 구조물(14)을 원 위치로 하강시키면 휘어졌던 기판(11)이 펴지면서 단절되었던 두 금속전극(12a 및 12b)이 단분자층(17)을 사이에 두고 다시 접촉하게 된다.
- <26> 따라서 두 금속전극(12a 및 12b)을 통해 단분자층(17)에 전기 신호를 인가할 수 있게 된다.
- <27> 이처럼 기계적 응력을 이용하여 금속선을 단절시키는 종래의 나노갭 전극소자 제작 방법은 공정이 복잡할 뿐 아니라 나노갭의 위치와 형상을 제어하기가 어려워 재현성과 신뢰성이 떨어지며, 여러 개의 나노갭 전극소자를 동시에 형성할 수 없는 단점을 지닌다. 또한, 특정 위치에 가해지는 기계적 응력이 주변의 다른 영역에도 영향을 미치게 되므로 집적화된 분자전자회로 제작에 응용하기가 어렵다.
- <28> 도 2a 내지 도 2c는 전자이주현상(electromigration)을 이용하여 금속선을 단절시키는 종래의 나노갭 전극소자 제작 방법을 설명하기 위한 모식도이다.
- <29> 도 2a를 참조하면, 전자빔 리소그래피와 같은 기존의 반도체 공정기술을 이용하여 수십~수백 나노미터의 선폭을 가지는 금속선(21)을 형성한다.

- <30> 도 2b를 참조하면, 금속선(21)의 양단에 단자(22)를 통해 전압을 인가하여 금속선(21)을 통해 충분한 크기의 전류(23)를 흘린다.
- <31> 도 2c를 참조하면, 상기와 같이 전류가 흐르면 금속선(21) 내부에서 원자들이 전자 흐름의 영향을 받아 점차 이동하는데, 이와 같은 전자이주현상에 의해 금속선(21)의 특정 부분이 단절되면서 수 나노미터의 폭을 가지는 나노갭(24)이 형성된다. 전자이주현상을 이용하여 금속선을 단절시키는 종래의 나노갭 전극소자 제작 방법은 공정이 비교적 간단하지만 나노갭의 위치와 폭, 형상의 정확한 제어가 불가능해 재현성이 떨어지며, 여러 개의 나노갭 전극소자를 동시에 형성할 수 없는 단점을 지닌다.
- <32> 도 3a 및 도 3b는 전기화학증착법(electrochemical deposition)을 이용한 종래의 나노갭 전극소자 제작 방법을 설명하기 위한 단면도이다.
- <33> 도 3a를 참조하면, 절연막(31)이 형성된 반도체 기판(32) 위에 소정의 갭(33)을 사이에 두고 서로 이격된 두 개의 금속전극 패턴(34)을 형성한다. 상기 금속전극 패턴(34)은 전자빔 리소그래피와 같은 기존의 반도체 공정기술을 이용하여 형성할 수 있으며, 갭(33)의 폭은 수백 나노미터 정도가 되도록 한다.
- <34> 도 3b를 참조하면, 상기 금속전극 패턴(34)에 전기단자(도시안됨)를 연결하고 상기 금속전극 패턴(34)을 포함하는 기판(32) 전체를 특정의 전해액에 담근다. 상기 전기단자를 통해 금속전극 패턴(34)에 전압을 인가하면 금속전극 패턴(34)의 표면에 전극 물질층(35)이 증착된다. 증착되는 전극 물질층(35)의 두께가 증가하면 상기 갭(33)의 폭이 점차적으로 줄어들고 최종적으로는 나노갭(36)이 형성된다.

<35> 그러나 이와 같은 전기화학증착법을 이용한 종래의 전극소자 제작 방법 또한, 공정이 번거롭고 나노갭의 폭 조절이 어려우며 여러 개의 나노갭 전극소자를 동시에 형성하는 것이 불가능하다는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<36> 따라서 본 발명은 상술한 종래 기술의 문제점을 해결하기 위하여 고안된 것으로, 나노갭의 폭과 위치를 정확하게 제어하고, 여러 개의 나노갭 전극소자를 동시에 형성할 수 있는 나노갭 전극소자의 제작 방법을 제공하는 데 그 목적이 있다.

<37> 상기한 목적을 달성하기 위한 본 발명에 따른 나노갭 전극소자의 제작 방법은 기판 위에 제 1 전극을 형성하는 단계와, 상기 제 1 전극의 일측벽에 스페이서를 형성하는 단계와, 상기 스페이서 일측부의 노출된 기판 상에 제 2 전극을 형성하는 단계와, 상기 스페이서를 제거하여 상기 제 1 전극과 제 2 전극 사이에 나노갭이 형성되도록 하는 단계를 포함하는 것을 특징으로 한다.

<38> 또한, 상기한 목적을 달성하기 위한 본 발명에 따른 다른 나노갭 전극소자의 제작 방법은 기판 위에 제 1 전극을 형성하는 단계와, 상기 제 1 전극을 포함하는 전체 상부면에 소정 두께의 분리박막을 형성하는 단계와, 상기 제 1 전극 표면의 분리박막을 제거하는 단계와, 상기 제 1 전극 측부의 상기 기판 상에 형성된 분리박막 위에 제 2 전극을 형성하는 단계와, 상기 제 1 전극과 제 2 전극 사이에 잔류된 분리박막을 제거하여 상기 제 1 전극과 제 2 전극 사이에 나노갭이 형성되도록 하는 단계를 포함하는 것을 특징으로 한다.

<39> 상기 스페이서는 상기 나노갭의 폭과 동일한 두께로 형성하며, 바람직하게는 1 내지 수 천 나노미터의 두께로 형성하는 것을 특징으로 한다.

- <40>      상기 스페이서는 상기 기판 및 제 1 전극에 대해 높은 식각 선택비를 갖는 물질로 형성하는 것을 특징으로 한다.
- <41>      상기 제 2 전극은 상기 제 1 전극보다 얇은 두께로 형성하며, 상기 제 2 전극을 형성하기 위한 증착 공정시 상기 스페이서 측벽에 증착이 이루어지지 않도록 하는 것을 특징으로 한다.
- <42>      상기 분리박막은 상기 나노갭의 폭과 동일한 두께로 형성하며, 상기 제 1 전극의 표면과 측벽, 그리고 상기 기판 상에 동일한 두께로 증착되도록 하는 것을 특징으로 한다.
- <43>      상기 분리박막은 상기 기판 및 제 1 전극에 대해 높은 식각 선택비를 갖는 물질로 형성하는 것을 특징으로 한다.
- <44>      상기 제 2 전극을 형성하기 위한 증착 공정시 상기 제 1 전극 측벽의 분리박막 표면에는 증착이 이루어지지 않도록 하는 것을 특징으로 한다.

#### 【발명의 구성 및 작용】

- <45>      이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하기로 한다. 그러나 이하의 실시예는 이 기술 분야에서 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서, 여러가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 기술되는 실시예에 한정되는 것은 아니다. 이하의 설명에서 어떤 층이 다른 층의 위에 존재한다고 기술될 때, 이는 다른 층의 바로 위에 존재할 수도 있고, 그 사이에 제 3의 층이 게재될 수도 있다. 또한 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되었으며, 도면에서 동일 부호는 동일한 요소를 지칭한다.

- <46> 도 4a 내지 도 4e는 본 발명의 일 실시예에 따른 나노갭 전극소자의 제작 방법을 설명하기 위한 단면도이고, 도 5는 본 발명에 따른 나노갭 전극소자의 전체 구조도이다.
- <47> 도 4a를 참조하면, 소자를 지지하기 위한 기판(41) 위에 전극물질을 도포하고 패터닝하여 첫번째 전극(42)을 형성한다. 상기 기판(41)은 유리, 산화물, 고분자, 실리콘, 화합물 반도체, 금속, 또는 이들의 조합으로 이루어진다.
- <48> 도 4b를 참조하면, 첫번째 전극(42)을 포함하는 기판(41) 전면에 소정 두께의 분리박막(43)을 형성한다. 상기 분리박막(43)은 상기 기판(41) 및 전극물질(42)에 대해 높은 식각 선택비를 가지는 물질로 형성하며, 스텝-커버리지가 우수한 증착법을 이용하여 상기 첫번째 전극(42)의 윗면과 측벽에 균일한 두께로 증착될 수 있도록 한다. 이 때 분리박막(43)의 증착 두께는 원하는 나노갭의 폭과 동일해지도록 조절한다.
- <49> 도 4c를 참조하면, 별도의 식각 마스크 없이 이방성 건식식각 공정을 진행하여 기판(41)과 첫번째 전극(42) 표면의 분리박막(43)은 제거되는 동시에 첫번째 전극(42)의 측벽에 분리박막(43)으로 이루어진 스페이서(43a)가 잔류되도록 한다.
- <50> 도 4d를 참조하면, 상기 스페이서(43a) 측부의 노출된 기판(41) 위에 두번째 전극(45)을 형성하기 위해 기판(41)의 전면에 전극물질을 증착한다. 상기 전극물질은 첫번째 전극(42)의 두께보다 얇게 증착하며, 전자빔 증발법(e-beam evaporation)과 같이 스텝-커버리지(step coverage)가 낮은 증착법으로 증착하여 스페이서(43a)의 측벽에는 증착되지 않도록 함으로써 노출된 기판(41) 위에만 두번째 전극(45)이 형성된다. 이 때 상기 첫번째 전극(42)과 스페이서(43a) 위에도 전극물질이 증착되므로 상기 첫번째 전극(42)의 두께가 증착되는 전극물질만큼 두꺼워진다.

- <51> 또한, 상기 두번째 전극(45)을 형성하기 위한 다른 방법으로 전면에 전극물질을 증착한 후 패터닝하여 노출된 기판(41) 위에만 잔류되도록 할 수 있다.
- <52> 도 4e를 참조하면, 상기 스페이서(43a)를 식각하여 제거함으로써 첫번째 전극(42)과 두번째 전극(45)의 사이에 상기 스페이서(43a) 두께 만큼의 나노갭(46)이 형성된다. 도 4e는 도 5의 A1-A2 부분의 단면을 도시한다. 본 발명에 따르면 상기 나노갭(46)의 폭은 1 내지 수천 나노미터(nm) 사이의 값이 되도록 하는 것이 바람직하다.
- <53> 도 6a 내지 도 6e는 본 발명의 다른 실시예에 따른 나노갭 전극소자의 제작 방법을 설명하기 위한 단면도이다.
- <54> 도 6a를 참조하면, 소자를 지지하기 위한 기판(51) 위에 전극물질을 도포한 후 패터닝하여 첫번째 전극(52)을 형성한다. 상기 기판(51)은 유리, 산화물, 고분자, 실리콘, 화합물 반도체, 금속, 또는 이들의 조합으로 이루어진다.
- <55> 도 6b를 참조하면, 첫번째 전극(52)을 포함하는 기판(51) 전면에 소정 두께의 분리박막(53)을 형성한다. 상기 분리박막(53)은 상기 기판(51) 및 전극물질(52)에 대해 높은 식각 선택비를 가지는 물질로 형성하며, 스텝-커버리지가 우수한 증착법을 이용하여 상기 첫번째 전극(52)의 윗면과 측벽에 균일한 두께로 증착될 수 있도록 한다. 이 때 분리박막(53)의 증착 두께는 원하는 나노갭의 폭과 동일해지도록 조절한다.
- <56> 도 6c를 참조하면, 소정의 마스크를 사용한 식각 공정으로 상기 첫번째 전극(52) 상에 형성된 분리박막(53)의 일부 또는 전부를 제거하는 동시에 첫번째 전극(52)의 측벽과 기판(51) 표면의 분리박막(53)은 잔류되도록 한다.

- <57> 도 6d를 참조하면, 상기 첫번째 전극(52) 측부의 상기 기판(51) 상에 형성된 분리박막(53) 위에 두번째 전극(54)을 형성하기 위해 전면에 전극물질을 증착한다. 상기 전극물질은 첫번째 전극(52)의 두께보다 얇게 증착하며, 전자빔 증발법과 같이 스텝-커버리지가 낮은 증착법을 이용하여 상기 첫번째 전극(52) 측벽의 분리박막(53) 표면에는 증착되지 않도록 함으로써 상기 첫번째 전극(52) 측부의 분리박막(53) 상에만 두번째 전극(54)이 형성된다.
- <58> 이 때 상기 첫번째 전극(52) 위에도 전극물질이 증착되므로 상기 첫번째 전극(52)의 두께가 증착되는 전극물질만큼 두꺼워진다.
- <59> 또한, 상기 두번째 전극(54)을 형성하기 위한 다른 방법으로 전면에 전극물질을 증착한 후 패터닝하여 상기 첫번째 전극(52) 측부의 상기 기판(51) 상에 형성된 분리박막(53) 위에만 두번째 전극(54)이 형성되도록 할 수 있다.
- <60> 도 6e를 참조하면, 첫번째 전극(52)과 두번째 전극(54) 사이에 잔류된 분리박막(53)을 식각하여 제거함으로써 첫번째 전극(52)과 두번째 전극(54)의 사이에 상기 분리박막(53) 두께만큼의 나노갭(55)이 형성된다. 본 발명에 따르면 상기 나노갭(55)의 폭은 1 내지 수천 나노미터(nm) 사이의 값이 되도록 하는 것이 바람직하다.
- <61> 종래의 나노갭 전극소자 제작 방법들에서는 동일하게 공정을 진행하더라도 나노갭의 위치와 폭, 형상 등이 매번 달라질 수 있어 공정의 재현성과 신뢰성이 문제가 되었다. 또한, 한번의 공정으로 하나의 나노갭만을 제작할 수 있기 때문에 다수의 분자소자들로 이루어진 분자소자회로를 구현하지 못하였다. 하지만 본 발명의 실시예에 따른 나노갭 전극소자 제작 방법을 이용하면 나노갭의 위치와 폭, 형상 등을 정확하게 제어할 수 있을 뿐 아니라, 동일한 구조의 나노갭을 재현성 있게 제작할 수 있다. 또한 한번의 공정으로 다수의 나노갭 전극소자를 동시에 형성할 수 있어 집적화된 분자소자회로를 제작하는 데 적합하다.

<62> 이상, 바람직한 실시예를 들어 본 발명을 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되는 것은 아니며, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

【발명의 효과】

<63> 상술한 바와 같이 본 발명은 두 전극 사이에 전극과 높은 식각 선택비를 갖는 물질로 스페이서를 형성한 후 스페이서를 제거하여 두 전극 사이에 나노갭이 형성되도록 한다. 따라서 기계적 응력 또는 전자기유현상을 이용하여 금속선을 단절시키거나, 전기화학증착법을 이용하여 일차로 넓게 형성된 갭을 좁히는 종래의 방법과는 달리, 본 발명을 이용하면 나노갭의 위치와 폭, 형상 등을 재현성 있게 제어할 수 있을 뿐만 아니라 한번의 공정으로 다수의 나노갭 전극소자를 동시에 형성할 수 있으며, 높은 신뢰성을 가지는 분자전자회로를 용이하게 구현할 수 있다.



**【특허청구범위】****【청구항 1】**

- a) 기판 위에 제 1 전극을 형성하는 단계와,
- b) 상기 제 1 전극의 일측벽에 스페이서를 형성하는 단계와,
- c) 상기 스페이서 일측부의 노출된 기판 상에 제 2 전극을 형성하는 단계와,
- d) 상기 스페이서를 제거하여 상기 제 1 전극과 제 2 전극 사이에 나노갭이 형성되도록 하는 단계를 포함하는 것을 특징으로 하는 나노갭 전극소자의 제작 방법.

**【청구항 2】**

제 1 항에 있어서, 상기 기판은 유리, 산화물, 고분자, 실리콘, 화합물 반도체, 금속, 또는 이들의 조합으로 이루어진 것을 특징으로 하는 나노갭 전극소자의 제작 방법.

**【청구항 3】**

제 1 항에 있어서, 상기 스페이서는 상기 나노갭의 폭과 동일한 두께로 형성하는 것을 특징으로 하는 나노갭 전극소자의 제작 방법.

**【청구항 4】**

제 1 항에 있어서, 상기 스페이서는 1 내지 수천 나노미터의 두께로 형성하는 것을 특징으로 하는 나노갭 전극소자의 제작 방법.

**【청구항 5】**

제 1 항에 있어서, 상기 스페이서는 상기 기판 및 제 1 전극에 대해 높은 식각 선택비를 갖는 물질로 형성하는 것을 특징으로 하는 나노갭 전극소자의 제작 방법.

**【청구항 6】**

제 1 항에 있어서, 상기 단계 b)는 상기 제 1 전극을 포함하는 상기 기판 상에 소정 두께의 분리박막을 증착하는 단계와,

상기 기판과 제 1 전극 표면의 분리박막은 제거되는 동시에 상기 제 1 전극의 측벽에만 분리박막으로 이루어진 스페이서가 잔류되도록 상기 분리박막을 식각하는 단계로 이루어지는 것을 특징으로 하는 나노갭 전극소자의 제작 방법.

**【청구항 7】**

제 6 항에 있어서, 상기 분리박막은 상기 제 1 전극의 표면과 측벽, 그리고 상기 기판 상에 동일한 두께로 증착되도록 하는 것을 특징으로 하는 나노갭 전극소자의 제작 방법.

**【청구항 8】**

제 6 항에 있어서, 상기 분리박막은 이방성 건식식각 방법으로 식각하는 것을 특징으로 하는 나노갭 전극소자의 제작 방법.

**【청구항 9】**

제 1 항에 있어서, 상기 제 2 전극을 형성하기 위한 증착 공정시 상기 스페이서 측벽에 증착이 이루어지지 않도록 하는 것을 특징으로 하는 나노갭 전극소자의 제작 방법.

**【청구항 10】**

제 9 항에 있어서, 상기 증착 공정은 전자빔 증발법으로 진행하는 것을 특징으로 하는 나노갭 전극소자의 제작 방법.

**【청구항 11】**

기판 위에 제 1 전극을 형성하는 단계와,

상기 제 1 전극을 포함하는 전체 상부면에 소정 두께의 분리박막을 형성하는 단계와,

상기 제 1 전극 표면의 분리박막을 제거하는 단계와,

상기 제 1 전극 측부의 상기 기판 상에 형성된 분리박막 위에 제 2 전극을 형성하는 단계와,

상기 제 1 전극과 제 2 전극 사이에 잔류된 분리박막을 제거하여 상기 제 1 전극과 제 2 전극 사이에 나노갭이 형성되도록 하는 단계를 포함하는 것을 특징으로 하는 나노갭 전극소자의 제작 방법.

#### 【청구항 12】

제 11 항에 있어서, 상기 분리박막은 상기 나노갭의 폭과 동일한 두께로 형성하며, 상기 제 1 전극의 표면과 측벽, 그리고 상기 기판 상에 동일한 두께로 증착되도록 하는 것을 특징으로 하는 나노갭 전극소자의 제작 방법.

#### 【청구항 13】

제 11 항에 있어서, 상기 분리박막은 상기 기판 및 제 1 전극에 대해 높은 식각 선택비를 갖는 물질로 형성하는 것을 특징으로 하는 나노갭 전극소자의 제작 방법.

#### 【청구항 14】

제 1 항 또는 제 11 항에 있어서, 상기 제 2 전극은 상기 제 1 전극보다 얇은 두께로 형성하는 것을 특징으로 하는 나노갭 전극소자의 제작 방법.

#### 【청구항 15】

제 11 항에 있어서, 상기 제 2 전극을 형성하기 위한 증착 공정시 상기 제 1 전극 측벽의 분리박막 표면에는 증착이 이루어지지 않도록 하는 것을 특징으로 하는 나노갭 전극소자의

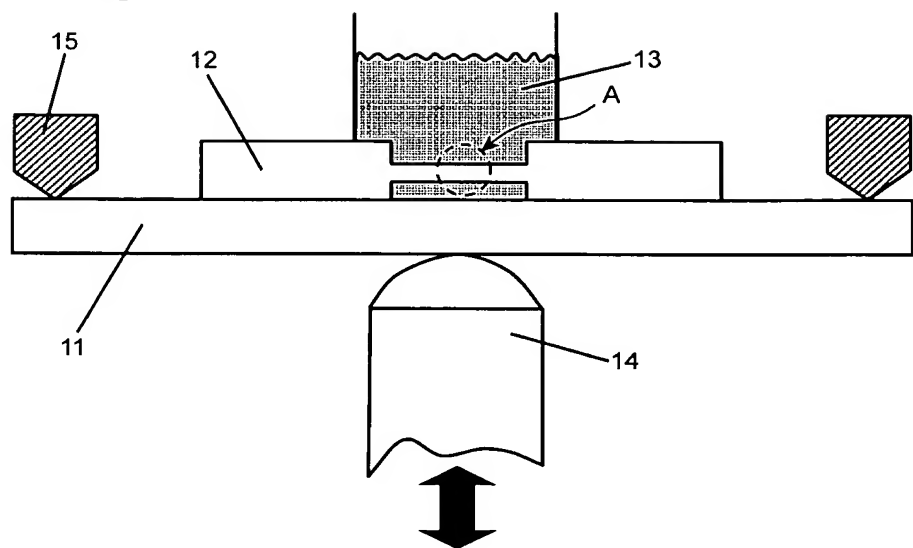
1020030082418

출력 일자: 2004/1/20

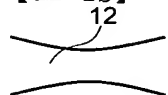
제작 방법.

【도면】

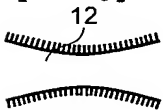
【도 1a】



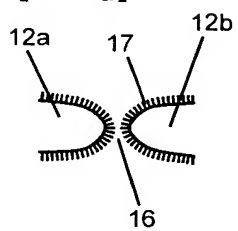
【도 1b】



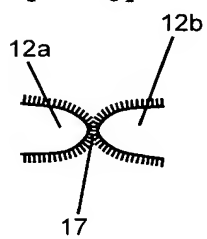
【도 1c】



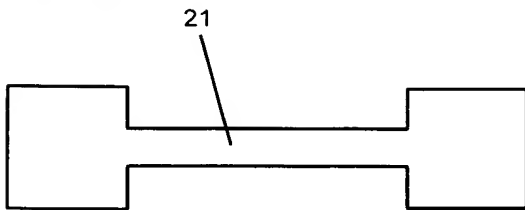
【도 1d】



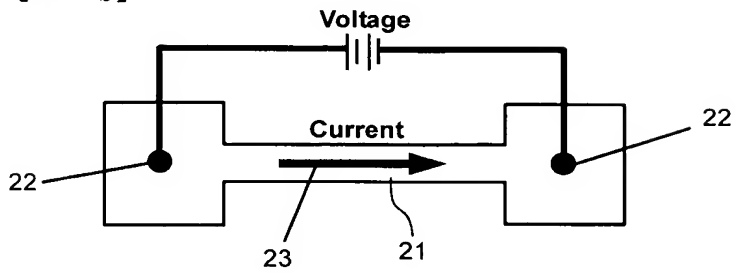
【도 1e】



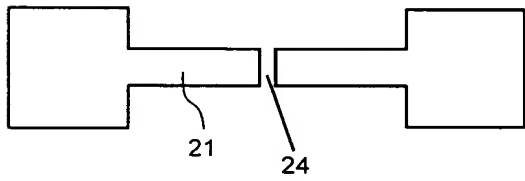
【도 2a】



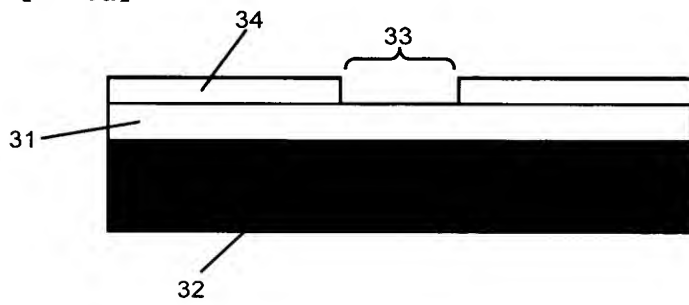
【도 2b】



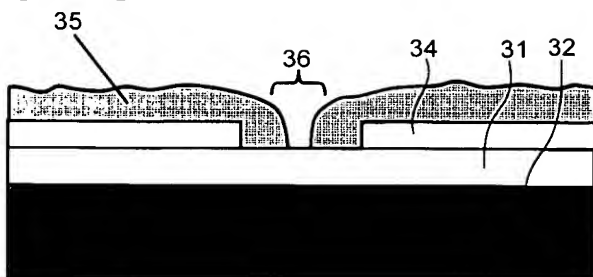
【도 2c】



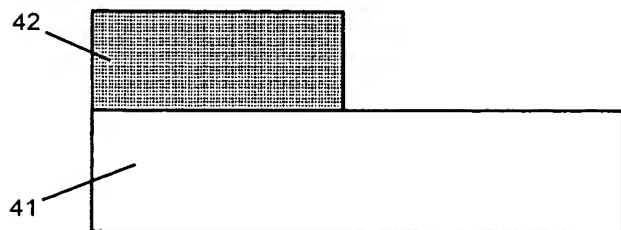
【도 3a】



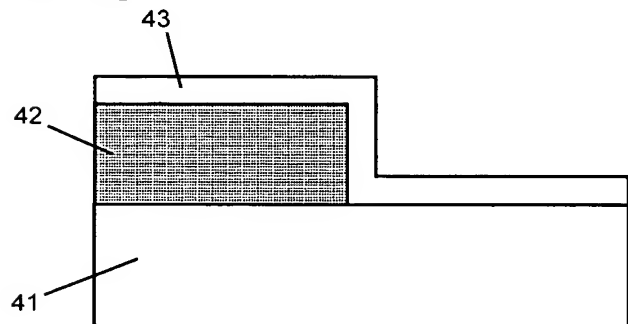
【도 3b】



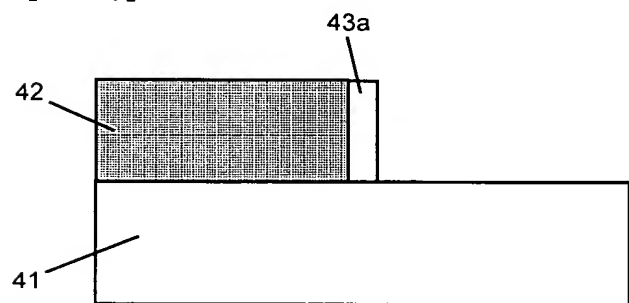
【도 4a】



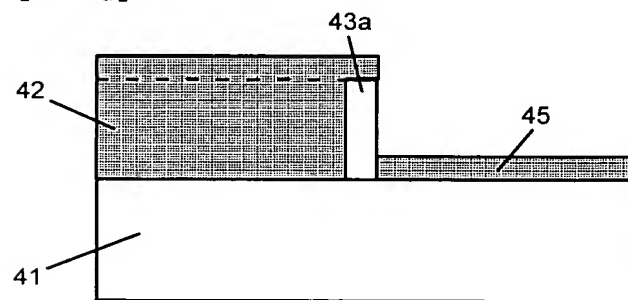
【도 4b】



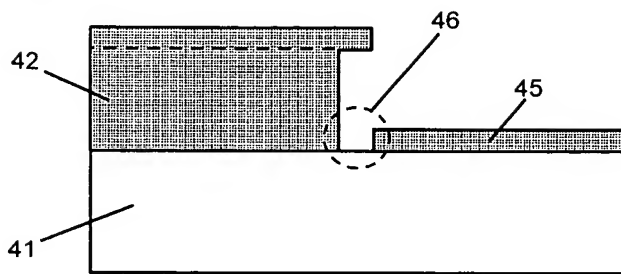
【도 4c】



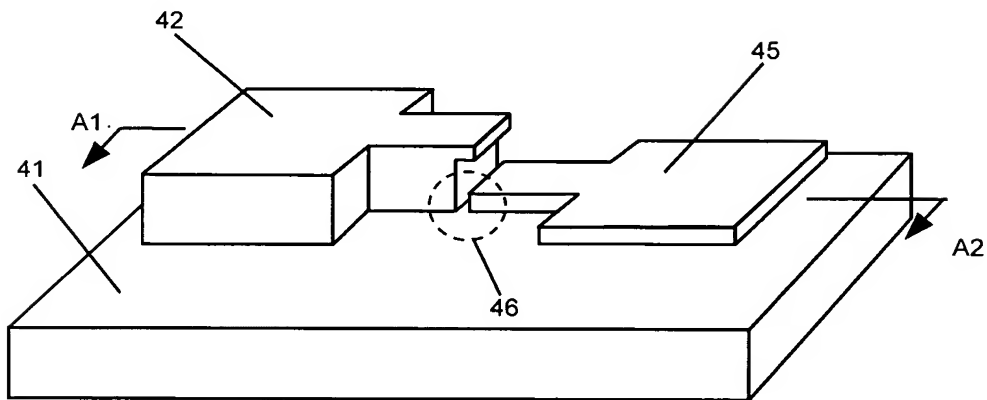
【도 4d】



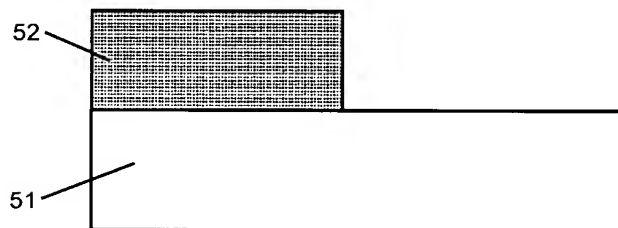
【도 4e】



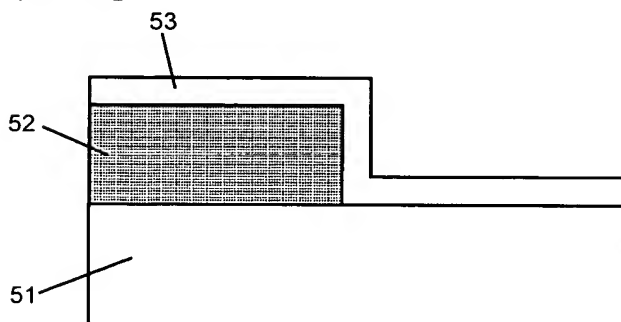
【도 5】



【도 6a】

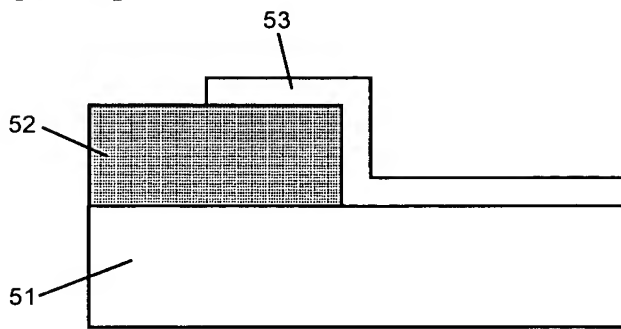


【도 6b】

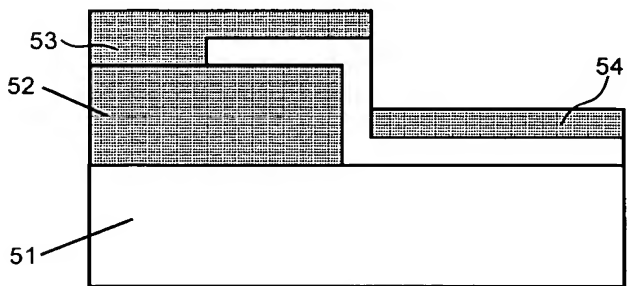




【도 6c】



【도 6d】



【도 6e】

